

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-262445

(43) 公開日 平成4年(1992)9月17日

(51) Int. Cl.⁴

G 0 6 F 13/24

識別記号

3 1 0 Z 7052-5B

庁内整理番号

F I

技術表示箇所

審査請求 有 請求項の数11(全 9 頁)

(21) 出願番号 特願平3-252876

(22) 出願日 平成3年(1991)9月5日

(31) 優先権主張番号 07/586,662

(32) 優先日 1990年9月24日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーション

INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 フランシス・マイケル・ボネベント

アメリカ合衆国33433、フロリダ州ボカ・
ラトン、ソリエル・サークル・イースト
22115番地

(74) 代理人 弁理士 頓宮 幸一 (外4名)

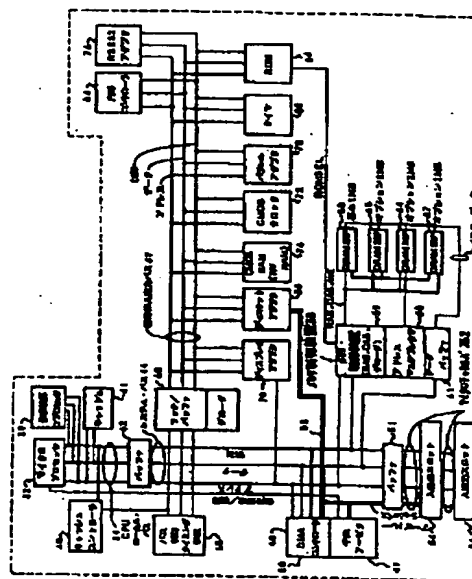
最終頁に続く

(54) 【発明の名称】 割込みコントローラを有するパーソナルコンピュータ・システム

(57) 【要約】

【目的】 一般的な形式のパーソナルコンピュータ・シ
ステムの割込み信号の処理を改善する。

【構成】 パーソナルコンピュータ・システムはデータを
転送するための多重チャネルバス、データ処理するた
めの、バスに結合されたマイクロプロセッサ32、この
マイクロプロセッサ32による処理のためにデータを授
受するバスに結合された複数の入出力装置56、70を
有している。各入出力装置はマイクロプロセッサへのア
クセス要求を示す論理割込み信号を発生することがで
き、非割込み状態に遠隔的にリセットされることがで
きるものであり、かつこれらの装置はすべてその論理割
込み信号をバスの共通物理チャネルを通じて送出する。
割込み信号の送出を認識し、かつ割込みリセット信号を周
期的に発生し、リセット信号をすべての入出力装置に同
時に送出し、すべての装置を前記マイクロプロセッサに
対するアクセス要求がないことを示す状態にセットする
ために、割込みコントローラ84がマイクロプロセッサ
32とバス69に結合されている。



(2)

特開平4-262445

1

2

【特許請求の範囲】

【請求項1】データを転送するための多重チャネルバスと、データを操作するための、前記バスに接続されたマイクロプロセッサと、各々が前記マイクロプロセッサに対するアクセス要求を示す論理割込み信号を発生することができ、非割込み状態に遠隔でリセットでき、かつすべてが発生された論理信号を前記バスの共通物理チャネルを通して送出し、前記マイクロプロセッサによる処理のためにデータを授受するために前記バスに結合された複数の入出力装置と、前記共通チャネルを介した割込み信号の送出を認識し、かつ割込みリセット信号を定期的に発生し、前記複数の入出力装置のすべてに対してリセット信号を送出し、該装置のすべてを前記マイクロプロセッサに対するアクセスの要求がないことを示す状態に同時にセットするために、前記マイクロプロセッサ及び前記バスに結合された割込みコントローラとを備えていることを特徴とするパーソナルコンピュータ・システム。

【請求項2】前記入出力装置の少なくとも1つは、前記バス上で制御を要求し、実行することのできるバス・マスタ装置で、該バス・マスタ装置の制御のもとでデータの送受信を行うことのできるスレーブ装置を備えていることを特徴とする請求項1記載のパーソナルコンピュータ・システム。

【請求項3】前記スレーブ装置は前記バスマスタ装置の制御のもとでメモリ機能を提供するためのメモリスレーブ装置であることを特徴とする請求項2記載のパーソナルコンピュータ・システム。

【請求項4】前記スレーブ装置は前記バスマスタ装置の制御のもとで入出力機能を提供するための入出力スレーブ装置であることを特徴とする請求項2記載のパーソナルコンピュータ・システム。

【請求項5】前記入出力装置の少なくとも1台は前記マイクロプロセッサに対するアクセス要求信号を連続的に送るために複数の論理割込み信号を記憶できる割込みレジスタを有し、割込みリセット信号を送出する前記割込みコントローラは、前記割込みレジスタを記憶されている論理割込み信号が存在しないことを示す状態にセットすることができることを特徴とする請求項1記載のパーソナルコンピュータ・システム。

【請求項6】前記入出力装置の少なくとも1台は前記マイクロプロセッサに対するアクセス要求信号を連続的に送るために複数の論理割込み信号を記憶できる割込みレジスタを有し、割込みリセット信号を送出する前記割込みコントローラは、前記割込みレジスタを記憶論理割込み信号の負数を示す状態にセットすることができることを特徴とする請求項1記載のパーソナルコンピュータ・システム。

【請求項7】データを転送するための多重チャネルバスであって、このバスのいくつかのチャネルは高速データ

バスを規定し、このバスの他のチャネルは低速なデータバスを規定する多重チャネルバスと、リアル動作モード及びプロテクト動作モードを有し、前記高速データバスに接続されている高速マイクロプロセッサと、前記高速データバスに結合された揮発性メモリと、前記低速データバスに結合された非揮発性メモリと、前記高速データバスと前記低速データバス間の通信を行うバスコントローラと、前記揮発性メモリと前記非揮発性メモリに結合され、この揮発性メモリと前記高速マイクロプロセッサ間の通信を調整するメモリ制御装置と各々が前記バスの制御ならびに前記マイクロプロセッサ及びメモリへのアクセスのための要求を示す論理割込みを発生でき、各々が非割込み状態に遠隔的にリセットでき、かつすべてがこれらによって発生された論理割込み信号を前記バスの共通物理チャネルを通して送出し、前記マイクロプロセッサ及び前記メモリとのデータを交換するために前記バスに結合された複数のバスマスタ装置と、前記共通チャネルを介した割込み信号の送出を認識し、かつ割込みリセット信号を周期的に発生し、前記複数のバスマスタ装置のすべてに対してリセット信号を送出し、該装置のすべてを前記バスに対する制御要求がないことを示す状態に同時にセットするために、前記マイクロプロセッサ及び前記バスに結合された割込みコントローラとを備えていることを特徴とするパーソナルコンピュータ・システム。

【請求項8】前記複数のバス・マスタ装置の少なくとも1つは前記バスの制御要求信号を連続的に送るために複数の論理割込み信号を記憶できる割込みレジスタを有し、割込みリセット信号を送出する前記割込みコントローラは、前記割込みレジスタを記憶されている論理割込み信号が存在しないことを示す状態にセットすることができることを特徴とする請求項7記載のパーソナルコンピュータ・システム。

【請求項9】前記複数のバス・マスタ装置の少なくとも1つは前記バスの制御要求信号を連続的に送るために複数の論理割込み信号を記憶できる割込みレジスタを有し、割込みリセット信号を送出する前記割込みコントローラは、前記割込みレジスタを記憶されている論理割込み信号の負数を示す状態にセットすることができることを特徴とする請求項7記載のパーソナルコンピュータ・システム。

【請求項10】データを転送するための多重チャネルバスと、データを操作するための、前記バスに接続されたマイクロプロセッサと、各々が前記マイクロプロセッサに対するアクセスの要求を示す論理割込み信号を発生することができ、非割込み状態に遠隔でリセットでき、前記マイクロプロセッサによる処理のためにデータを授受する前記バスに結合された複数の入出力装置であって、該装置の少なくとも1つは、前記バス上で制御を要求し、実行することのできるバスマスタ装置で、該装置の

少なくとも他の1つは前記バスマスタ装置の制御のもとでデータの送受を行うことのできるスレーブ装置で、該装置の少なくとも1つは前記マイクロプロセッサへのアクセス要求信号を連続的に送るために複数の論理割込み信号を記憶できる割込みレジスタを有し、前記複数の装置のすべてはこれらによって発生された論理割込みを前記バスの共通物理チャネルを通して送出する複数の入出力装置と、前記共通チャネルを介した割込み信号の送出を認識し、かつ割込みリセット信号を周期的に発生し、前記複数の入出力装置のすべてに対してリセット信号を送出し、該装置のすべてを前記マイクロプロセッサへのアクセス要求がないことを示す状態に同時にセットするために、前記マイクロプロセッサ及び前記バスに結合された割込みコントローラであって、割込みリセット信号を送出する前記割込みコントローラは、前記割込みレジスタを記憶されている論理割込み信号の負数を示す状態にセットすることができる割込みコントローラとを備えていることを特徴とするパーソナルコンピュータ・システム。

【請求項1】 データを転送するための多重チャネルバスであって、該バスのいくつかのチャネルが高速データバスを規定し、該バスの他のチャネルが低速なデータバスを規定する多重チャネルバスと、リアル動作モード及びプロテクト動作モードの操作を有し、前記高速データバスに接続されている高速マイクロプロセッサと、前記高速データバスに結合された揮発性メモリと、前記低速データバスに結合された非揮発性メモリと、前記高速データバスと前記低速データバス間の通信を行うバスコントローラと、前記揮発性メモリ及び前記非揮発性メモリに結合され、該揮発性メモリと前記高速マイクロプロセッサ間の通信を調整するメモリ制御装置と、各々は複数の論理割込み信号を記憶することのできる割込みレジスタを有し、前記バス制御並びに前記マイクロプロセッサ及びメモリへのアクセス要求を示す論理割込み信号を発生でき、各々が非割込み状態に達隔的にリセットでき、かつすべてがこれらによって発生された論理割込みを前記バスの共通物理チャネルを通して送出し、前記マイクロプロセッサ及び前記メモリとのデータを交換するために前記バスに結合された複数のバスマスタ装置と、前記共通チャネルを介した割込み信号の送出を認識し、かつ割込みリセット信号を周期的に発生し、前記複数のバスマスタ装置の選択された装置にこのようなリセット信号を送出し、該バスマスタ装置のレジスタを前記マイクロプロセッサへのアクセス要求がないことを示す状態にセットするために、前記マイクロプロセッサ及び前記バスに結合された割込みコントローラとを備えていることを特徴とするパーソナルコンピュータ・システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はパーソナルコンピュー

タ、特に、マイクロコンピュータのアクティビティの割込み再指令を行うパーソナルコンピュータに関する。

【0002】

【従来の技術】 一般にパーソナルコンピュータ・システム、特にIBMパーソナルコンピュータは今日の現代社会の多くの分野にコンピュータ能力を提供するため、広範な用途を達成している。パーソナルコンピュータ・システムは通常、デスクトップ、フロアスタンディング又はポータブルマイクロコンピュータとして規定でき、これらは単一のシステム処理装置及び関連する揮発性又は非揮発性のメモリ、表示モニタ、キーボード、1台または複数のディスク駆動装置、固定ディスク記憶装置、並びにオプションのプリンタを有するシステム装置で構成されている。これらのシステムの傑出した特徴の1つは、これらの構成要素を電気的に接続するためにマザーボード又はシステムボードを使用することである。これらのシステムは主として、シングルユーザに独立したコンピューティング機能を与え、かつ個人又は小企業が購入できるような低い価格になるように設計されている。このようなパーソナルコンピュータ・システムの例としては、IBMのパーソナルコンピュータAT、及びIBMのパーソナルシステム/2モデル25、30、50、60、70及び80がある。

【0003】 これらのシステムは2つの一般的なファミリーに分類できる。第1のファミリーは通常ファミリーIモデルと称され、IBMパーソナル・コンピュータAT及びその他の「IBMコンパチブル」機械で具現化されている拡張バスアーキテクチャを使用している。第2のファミリーはファミリーIIモデルと称され、IBMのパーソナルシステム/2モデル50ないし80で具現化されているマイクロ・チャネル拡張バスアーキテクチャを使用している。典型的には、このファミリーIモデルはシステム処理装置として、広く普及しているインテル8088又は8086マイクロプロセッサを使用している。これらの処理装置は1メガバイトのメモリをアドレス指定する能力を有している。典型的には、ファミリーIIモデルは、高速度のインテル80286、80386、及び80486マイクロプロセッサを使用しており、これらのマイクロプロセッサは低速なインテル8086マイクロプロセッサをエミュレートするリアル・モード又はいくつかのモデルに対してアドレス指定範囲を1メガバイトから、4ギガバイトに拡張するプロテクトモードで作動する。要するに、80286、80386及び80486プロセッサのリアルモード機能は8086及び8088マイクロプロセッサのために作成されたソフトウェアとのハードウェア互換性を提供する。

【0004】 両方のファミリーにおいて、拡張バスは直接的な目的を有している、すなわち、オプションカード又は拡張カード、もしくは機能又はオプションを付加して、システムの有用性を拡張するボードの使用を可能と

5

するものである。拡張バスアーキテクチャが開発されるにしたがい、設けられている複数本のチャンネルによって取り扱われる多数の機能が提供されるようになってきた。これらの機能としては、マイクロプロセッサによって発せられるデータ読出しコマンド及び書き込みコマンド、データを移動するための直接メモリアクセスコマンド、及び各種の装置がマイクロプロセッサのアテンションを収集し、これを他のタスクに転用する割込み要求がある。割込み要求の処理では、マイクロプロセッサはサーバとなり、バスに接続されている他の装置はクライアントとなる。高いシステムスループットを達成するには、システムが割込み信号をできるだけ迅速に検出し、サービスし、リセットすることが望ましい。したがって、システム性能を最適化する際に取り扱うことのできる割込み信号処理の3つの領域、すなわち、マイクロプロセッサに影響を及ぼす割込み信号の検出、サービス、及びリセットがある。本発明以前には、割込み処理は本質的に順次的なものであり、単一の割込み経路又は限定された少ない数の経路によってこのような論理割込みを与える複数の装置の連続アドレス指定によるリセットを必要とする多数の論理割込みの発生によって、スループットを大幅に損なう可能性をもたらす。この欠陥はデータバスに対する制御が、各々がデータバスの制御を行う複数の装置間で共用されるアーキテクチャの場合に特に重要なものとなる。このような装置は「バスマスタ」として知られている。

【0005】

【発明が解決しようとする課題及び課題を解決するための手段】本発明の目的は、上述の一般的な型式のパーソナルコンピュータ・システムの割込み信号の処理を改善することである。本発明のこの目的を実現するにあたり、複数の論理割込みを単一のリセット信号によって非割込み信号状態にリセットする機能が提供される。

【0006】本発明の他の目的は、いずれもがシステムマイクロプロセッサからバスの制御を要求する多数のバスマスタ装置間で、拡張バスに対する制御が共用されるパーソナルコンピュータ・システムの作動を向上させることである。本発明のこの目的を実現するにあたり、割込みコントローラは単一のリセット信号によって複数のバスマスタ装置をリセットするように機能する。

【0007】

【実施例】本発明を本発明の好ましい実施例を示す添付図面を参照して、以下詳細に説明するが、以下の説明を始める前に、当業者が本発明の望ましい結果を達成する一方、ここで説明される本発明を修正できることを理解されたい。したがって、以下の説明は当業者を対象とした、広範囲の教示的な開示であって、本発明を限定するものではないことを理解すべきである。

【0008】次に、添付図面を詳細に参照すると、本発明を実施するマイクロコンピュータが、総括的に10で

(4)

特開平4-262445

6

示されている(図1)。上述のように、コンピュータ10は関連するモニタ11、キーボード12、及びプリンタ又はプロッタ14を有している。コンピュータ10は装飾外部部材16(図2)及び内部シールド部材18によって形成されたカバー15を有しており、この内部シールド部材18はシャーシ19と協働して、デジタルデータを処理し、記憶するための電気的に駆動されるデータ処理及び記憶構成要素を受け入れるための包囲され、シールドされた容積を規定している。これらの構成要素の少なくともいくつかは、多層板20すなわちマザーボードに取り付けられており、この多層板はシャーシ19に取り付けられ、上述の構成要素、及びフロッピーディスク駆動装置、各種の形態の直接アクセス記憶装置、アクセサリカード又はボードなどのような関連要素を含むコンピュータ10の構成要素を電気的に相互接続するための手段を提供している。以下で詳細に説明するように、母板20には、マイクロコンピュータの作動構成要素間との入出力信号の通路が設けられている。

【0009】シャーシ19は基板22、前部パネル24、及び後部パネル25を有している(図2)。前部パネル24は、磁気ディスク又は光ディスクのディスク駆動機構、テープバックアップ駆動機構等のようなデータ記憶装置を受け入れるための少なくとも1つのオープンベイ(図示の形状では、4つ)を規定している。図示の形状では、一对の上部ベイ26、28及び一对の下部ベイ29、30が設けられている。上部ベイの一方26は、(3.5インチ駆動機構として知られている駆動機構のような)第1のサイズの周辺駆動機構を受け入れるように適合され、他方28は、(3.5インチ及び5.25インチのような)2つのサイズのうち選択されたものの駆動機構を受け入れるように適合され、また下部ベイは1つのサイズ(3.5インチ)だけの装置を受け入れるように適合されている。1台のフロッピーディスク駆動機構が図1に示されているが、これは挿入されたディスクを受け入れ、ディスクを使用して、一般に公知のように、データの受取り、記憶、及び送出を行うことのできる着脱可能媒体直接アクセス記憶装置である。

【0010】上記の構造を本発明と関連付ける前に、パーソナルコンピュータ・システム10の一般的な作動の概要は検討するのに値する。図3には、母板20に取り付けられた構成要素、ならびにパーソナルコンピュータ・システムの入出力スロット及び他のハードウェアに対する母板の接続を含む、本発明によるシステム10のようなコンピュータシステムの各種の構成要素を示すパーソナルコンピュータ・システムのブロック図が示されている。母板には、高速CPUローカルバス34によって、バス制御タイミング装置35を介してメモリ制御装置36に接続されたマイクロプロセッサを備えているシステムプロセッサ32が接続されており、メモリ制御装

7

置はさらに揮発性ランダムアクセスメモリ(RAM)38に接続されている。適当なマイクロプロセッサは使用されることができるが、1つの適切なマイクロプロセッサはインテル社によって販売されている80386である。

【0011】図3のシステムブロック図を詳細に参照して本発明は後述されるが、以下の説明を開始するに当たり、本発明による装置及び方法は他のハードウェア構成の母板とともに使用されることを意図していることを理解すべきである。たとえば、システムプロセッサはインテル80286又は80486マイクロプロセッサであってもよい。

【0012】図3において、CPUローカルバス34(データ、アドレス及び制御構成要素を備えている)はマイクロプロセッサ32、数値演算コプロセッサ39、キャッシュコントローラ40、及びキャッシュメモリ41を接続するために設けられている。CPUローカルバス34にはバッファ42も結合されている。バッファ42自体は、アドレス、データ及び制御構成要素をまた備えている(CPUローカルバスに比較して)低速システムバス44に接続されている。このシステムバス44はバッファ42と他のバッファ68間に延びている。システムバス44はさらにバス制御装置及びタイミング装置35及びDMA装置48に接続されている。DMA装置48は中央アービトレーション装置49及びDMAコントローラ50を備えている。バッファ51はシステムバス44と、マイクロチャネルバス52のようなオプション機能バス間のインタフェースを提供する。バス52には、マイクロチャネル・アダプタカードを受け入れるための複数の入出力スロット54が接続されており、これらのスロットはさらに入出力装置又はメモリに接続されている。アダプタカードはバスマスタカードとして知られているタイプの1枚又は複数枚のカードを含むことができ、これらカードの各々はバス52のシステム制御を要求し、かつこれらのカードの各々はこれによって1つ又は複数のスレーブ装置とのデータ交換を制御する。バスマスタカードに関連したスレーブ装置は、システム内で使用するためのメモリのみを本質的に提供するメモリスレーブであっても、あるいはシステム外で情報及びデータを交換する機能を提供する入出力スレーブであってもかまわない。単なる例として、バスマスタカードは固定ディスク駆動機構又はハードディスク駆動機構及び光記憶駆動機構等の一連の非着脱可能又は着脱可能媒体の直接アクセス記憶装置にアクセスを行う小型コンピュータシステム・インターフェース(SCSI)カードであってもかまわない。

【0013】アービトレーション制御バス55はDMAコントローラ50及び中央アービトレーション装置49を、入出力スロット54及びディスクアダプタ56に結合している。システムバス44にはまた、メモリコ

(5)

特開平4-262445

8

ントローラ59、アドレスマルチプレクサ60、及びデータバッファ61を備えているメモリ制御装置36が接続されている。メモリ制御装置36はさらに、RAMモジュール38で表されるようなランダムアクセスメモリに接続されている。メモリ制御装置36はRAM38の特定の領域に対してマイクロプロセッサ32との間でアドレスをマッピングするための論理回路を含んでいる。この論理回路は、あらかじめBIOSによって占有されるRAMを再要求するように使用される。メモリコントローラ36はさらに、ROM64を使用可能又は使用禁止にするように使用されるROM選択信号(ROMSEL)を発生する。

【0014】基本の1メガバイトのRAMモジュールを有するマイクロコンピュータシステム10が示されているが、追加のメモリは、図3でオプションのメモリモジュール65~67によって表されているように接続されることができる。説明だけのため、本発明は基本の1メガバイトのメモリモジュール38を参照して説明する。

【0015】ラッチバッファ68はシステムバス44と回路板入出力バス69間に接続されている。母板入出力バス69はアドレス、データ、及び制御構成要素をそれぞれ含んでいる。母板入出力バス69に沿って、各種の入出力アダプタ、ならびにディスプレイアダプタ70(表示装置11を駆動するのに使用される)のような他の構成要素、CMOSクロック72、以下においてNVRAMと称される不揮発性CMOS RAM74、RS232アダプタ76、パラレルアダプタ78、複数のタイマ80、ディスクアダプタ56、割込みコントローラ84、及び読取り専用メモリ64が結合されている。読取り専用メモリ64は入出力装置と、マイクロプロセッサ32のオペレーティングシステム間のインタフェースに使用されるBIOSを含んでいる。ROM64に記憶されているBIOSは、BIOSの実行時間を減少するためにRAM38にコピーされることができる。ROM64は、(ROMSEL信号を介して)さらにメモリ制御装置36に応答する。ROM64がメモリコントローラ36によって使用可能にされると、BIOSはROMによって実行される。ROM64がメモリコントローラ36によって使用禁止にされると、ROMはマイクロプロセッサ32からのアドレス照会に応答しない(すなわち、BIOSはRAMによって実行される)。

【0016】クロック72は時刻の計算に使用され、NVRAMはシステム構成データを記憶するのに使用される。すなわち、NVRAMはシステムの現行の構成を記述する値を含む。たとえば、NVRAMは固定ディスク又はディスクの容量、表示装置の型式、メモリ量、時間、日付などを記述する情報を含んでいる。特に重要なのは、NVRAMがデータを含んでおり(1ビットでよい)、このデータをメモリ制御装置36が使用して、BIOSがROM又は、RAMによって実行されるかを

9

か、BIOS RAMによって使用されることを意図されているRAMを要求するか否かを判定することである。さらに、これらのデータはSET構成のような特別な構成プログラムが実行された場合は常に、NVRAMに記憶される。SET構成プログラムの目的は、システムの構成を特徴付ける数値をNVRAMに記憶することにある。

【0017】上述のように、コンピュータは一般にカバー15を有しており、このカバー15はシャーシ19と協働して、マイクロコンピュータの上述の構成要素を収めるための閉鎖され、シールドされた空間を形成する。カバーは成形可能な合成材料製の一体成形構成要素である外部装飾カバー部材16、及び装飾カバー部材の構成に適合するように形成された金属薄板ライナー18によって形成されるのが好ましい。しかしながら、カバーは他の公知の方法でも作成できるものであって、本発明の有用性は上述の型式のケースに限定されるものではない。

【0018】上述のように、コンピュータ10はマイクロプロセッサ32による操作のためにデータの授受を行うバスに結合されたディスクアダプタ56のような複数の入出力装置を有している。本発明によれば、このような装置の各々はマイクロプロセッサ32へのアクセス要求を示す論理割込み信号を発生することができ、かつ非割込み状態に遠隔でリセットできるものであり、このような複数の装置のすべては、これによって発生される論理割込み信号をバスの共通物理チャネルすなわちバスの導電路を介して送出する。これは論理割込み（複数の装置の各々で発生し、おそらくはこれに記憶される）と、物理割込みの間の差異を生じさせ、後者は対応する導電路上で信号を生じる。単一の物理割込みのあとに複数の論理割込みがあってもかまわない。

【0019】後の事項が特に当てはまるのは、1台又は複数台の装置が「バス・マスタ」として公知のタイプのものである場合である。バスマスタ装置は、制御が放棄されるまで、バス上で、あるいはこれを介してデータバスの指令及びデータの直接転送を行う装置である。多くのバスマスタ装置は本質的に、複数のクライアントに対するサーバとして役立つ。本発明が意図しているような多くの装置は、1つ又は複数のレジスタを有し、これらのレジスタには、論理割込みのカウントが累積され、バスマスタ装置は複数のクライアント装置から論理割込みとして発生される割込みを、物理割込みチャネルに連続的に提示するように機能する。

【0020】本発明による割込みコントローラ84は、マイクロプロセッサ32及びバスに結合され、共通チャネルを介した割込み信号の送出を認識し、かつ割込みリセット信号を周期的に発生し、複数の入出力装置の1台又は複数台にリセット信号を送出し、このような装置をマイクロプロセッサに対するアクセスの要求がないこと

(6)

特開平4-262445

10

を示す状態にセットする。別の言い方をすれば、割込みコントローラはリセット信号を出し、この信号は特定のチャネルの物理割込みに寄与する装置によって受け取られた場合、このような装置の1つ又は全部の割込み状態をリセットし、信号コマンドの発行時にすべての割込みの割込みチャネルをクリアする。これは発行されたりセットコマンドが特定の装置にアドレス指定され、同一チャネルを使用して他の装置をこのチャネル上で物理割込みさせ続ける従来の方法とは区別されるものである。

【0021】思慮深い読者には感得されるように、単一のバスマスタ装置のレジスタに累積されるか、又は特定の物理割込みチャネル上のすべての論理割込みを、単一のコマンドを出してクリアすることは、割込みのリセットの最適化に寄与し、これによって本発明の上述の目的を実現する。

【0022】上述のように、本発明は、バスによって接続された少なくとも1つの入出力装置、上述のSCSIコントローラのようなバスに制御を要求し、実行することができるバスマスタ装置であることを意図している。さらに、このような場合のコンピュータシステムは、バスマスタ装置の制御のもとで、データの送受信を行うことのできる1つ又は複数のスレーブ装置を備えている。スレーブ装置はバス・マスタ装置の制御のもとでメモリ機能を提供するメモリスレーブ装置であっても、あるいはバスマスタ装置の制御のもとで入出力機能を提供する入出力スレーブ装置であってもかまわない。このような入出力機能はたとえば、ビデオイメージに関連するような特別なイメージ表示又は収集機能にすぎないこともある。

【0023】本発明が意図するところは、上述のバスマスタ装置のようなバスに接続された少なくとも1台の入出力装置が、保留で、クリアされていない割込みのカウントを記憶できる割込みレジスタを有することである。このような環境の割込み要求は、クリアされていない割込みの保留カウントが0より大きい場合、割込みコントローラ84に対して割込み要求を発生することによって、マイクロプロセッサに連続的に供給される。装置に対する単一のリセット割込みコマンドは割込みカウントをリセットし、割込みカウントが0に等しいか又は0より小さい場合、割込み要求を撤回させる。特に、本発明はサブシステム制御ブロック（SCB）アーキテクチャとして公知のアーキテクチャで使用され、このアーキテクチャでは、バスマスタ入出力装置は多数の先のコマンドが単一の物理割込みをマイクロプロセッサに提示することによって完了したことを示す。論理割込みの指示はレジスタに保持され、かつ各コマンドに関連付けられた制御ブロックに入れられる。マイクロプロセッサが各論理割込みを処理した装置への信号に対して、一連の複数のコマンドを使用するよりもむしろ、単一のコマンドを使用して、複数の論理割込みをリセットする。これはバ

11

スの使用を最適化し、他の装置がアクセスできるようにこれを解放する一方、割込みコントローラも解放するので、このコントローラを使用して、他の場合よりも短時間で他の装置からの割込み要求を送信することができる。複数のクライアントに対してサーバとして機能することのできる入出力装置又はバスマスタは、一連のクライアントに対してバスの支配権を連続的に得ることが理解されよう。同時に、割込みコントローラは、サーバ装置がバス制御に対して他の方法で過剰な要求を行った場合に、バスの支配権を再度得ることができる。バスに対するアクセスがすべて競合している複数のクライアント装置間のアービトレーションを単一のコマンドでリセットするような能力は、本発明の著しい利点であると考えられる。単一のコマンドを選択された単一のバスマスタ装置に送って、このバスマスタ装置のクライアント装置によって発生された割込みをリセットすることによって、この機能を実施することが好ましい。

【0024】本発明はさらに、開示されたような環境の負数の記憶論理割込み信号を示す状態に、割込みレジスタをセットすることのできる割込みリセット信号の送出に及ぶものである。このような機能は関連する装置群からの割込み信号のリセットと、バス及び又はマイクロプロセッサへの制御要求の再主張間にある程度の時間を確保するのに役立つものである。

【0025】上述のサブシステム制御ブロックアーキテクチャに関連して、制御ブロックは32のような所定数のビットを有するデジタル信号からなる。この信号は、各々が信号内の規定されたビット数を有しているコンポーネントに分割される。単なる例として、32ビットの信号は信号をコマンドと識別する最初の8ビット、割込みレジスタが減分されるべき論理割込みの数を与える4ビット、リセットコマンドによって使用されない予備ビット、コマンドが指令される装置の割込み機能を使

(7)

特開平4-262445

12

用可能又は使用禁止にするように使用されるか、又はコマンドの実行後に割込みを使用禁止にする2ビット、ならびにリセットコマンドで使用されないものとして無視される残りのビットを有する。このようなコマンドは通常、コマンドレジスタにロードされ、コマンドレジスタにアクセスするように指令された特定の装置を識別し、発行されるコマンドを受け取るアテンションレジスタによる信号の発行を待って、コマンド・レジスタに保持される。

10 【図面の簡単な説明】

【図1】本発明を実施するパーソナルコンピュータの透視図である。

【図2】シャーシ、カバー、電気機械的直接アクセス記憶装置及び母板を含み、図1のパーソナルコンピュータのいくつかの要素の間のいくつかの関係を示す分解斜視図である。

【図3】図1及び図2のパーソナルコンピュータのいくつかの構成要素の概略図である。

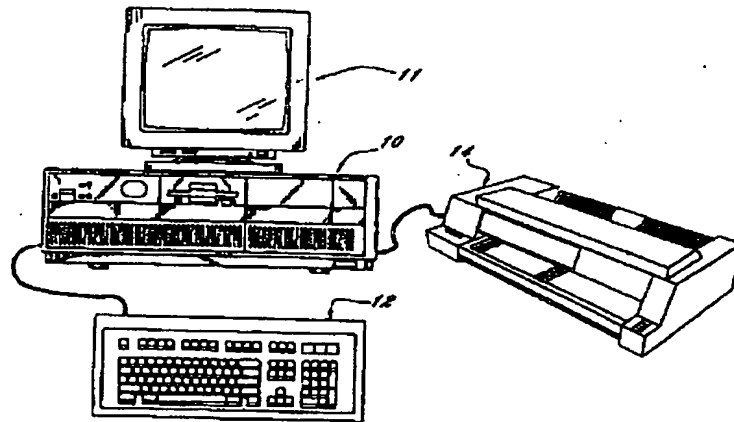
【符号の説明】

- 20 10 コンピュータ
- 11 表示装置
- 12 キーボード
- 14 プリンタ又はプロッタ
- 15 カバー
- 18 内部シールド部材
- 19 シャーシ
- 20 多層母板
- 22 ベース
- 24 前面パネル
- 30 25 後部パネル
- 32 マイクロプロセッサ
- 84 割込みコントローラ

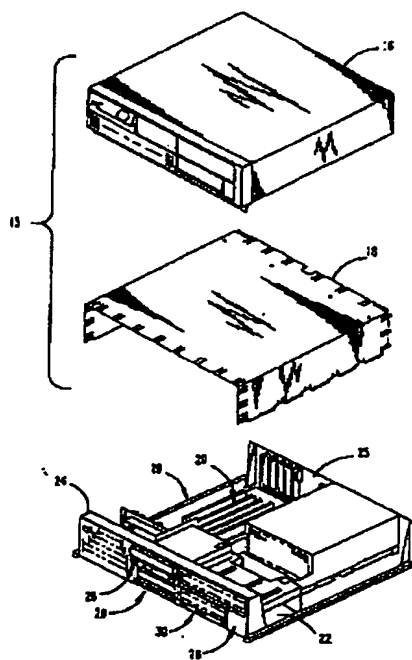
(8)

特開平4-262445

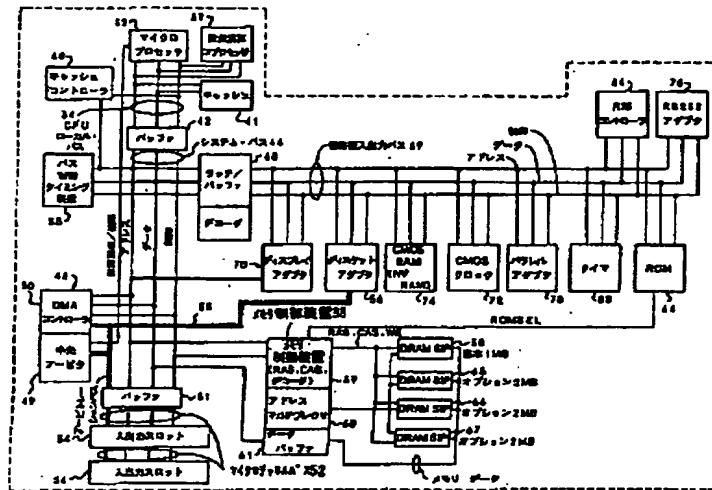
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 アーネスト・ネルソン・マンデース
アメリカ合衆国33436、フロリダ州ポイン
トン・ビーチ、ドーリット・アベニュー
3546番地

(72)発明者 リチャード・ニール・メンデルソン
アメリカ合衆国33487、フロリダ州ハイラ
ンド・ビーチ、ハイランド・ビーチ・ドラ
イブ No. 1、1124番地